

OCT 27 2003



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Keiji HOSOTANI, et al.

GAU:

SERIAL NO: 10/615,920

EXAMINER:

FILED: July 10, 2003

FOR: SEMICONDUCTOR MEMORY DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-201166	July 10, 2002

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

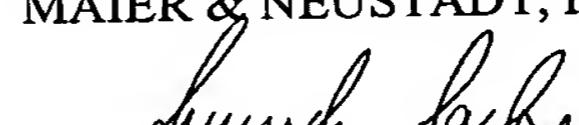
were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

 Marvin J. Spivak

Registration No. 24,913

Surinder Sachar
Registration No. 34,423

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

10/615, 920

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年 7月10日

出願番号
Application Number:

特願2002-201166

[ST.10/C]:

[JP2002-201166]

出願人
Applicant(s):

株式会社東芝

2003年 5月13日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3035062

【書類名】 特許願

【整理番号】 02P026

【提出日】 平成14年 7月10日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/00

【発明の名称】 磁気メモリ装置

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝
横浜事業所内

【氏名】 細谷 啓司

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝
横浜事業所内

【氏名】 中島 健太郎

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100092820

【弁理士】

【氏名又は名称】 伊丹 勝

【電話番号】 03-5216-2501

【手数料の表示】

【予納台帳番号】 026893

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特2002-201166

【物件名】 要約書 1

【包括委任状番号】 9810498

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気メモリ装置

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板に形成されたトランジスタと、

前記半導体基板の前記トランジスタを覆う層間絶縁膜上に形成されたトンネル磁気抵抗素子と、

前記層間絶縁膜内に埋設されて前記トランジスタのソース／ドレイン拡散層に接続される第1の配線と、

前記層間絶縁膜内の前記第1の配線より上部で前記トンネル磁気抵抗素子の下に埋設された、書き込み時に前記トンネル磁気抵抗素子に電流磁界を与えるための第2の配線と、

前記トンネル磁気抵抗素子の上面に接続されて前記第2の配線と交差して配設された、書き込み時に前記トンネル磁気抵抗素子に電流磁界を与えると共に読み出し時にセル電流を流すための第3の配線とを有し、

前記第2の配線は、その両エッジが前記トンネル磁気抵抗素子のパターンの外側に位置するようにパターン形成されていることを特徴とする磁気メモリ装置。

【請求項2】 前記第1の配線は、その両エッジが前記トンネル磁気抵抗素子のパターンの外側に位置するようにパターン形成されていることを特徴とする請求項1記載の磁気メモリ装置。

【請求項3】 前記第1及び第2の配線は、前記トンネル磁気抵抗素子の直下の領域をトンネル磁気抵抗素子より広い幅をもって通過するようにパターン形成されていることを特徴とする請求項2記載の磁気メモリ装置。

【請求項4】 前記トランジスタのゲート配線は、前記トンネル磁気抵抗素子の直下の領域をトンネル磁気抵抗素子より広い幅をもって通過するようにパターン形成されていることを特徴とする請求項2又は3記載の磁気メモリ装置。

【請求項 5】 前記トランジスタのゲート配線は、前記トンネル磁気抵抗素子の直下の領域の外側を通過するようにパターン形成されていることを特徴とする請求項 2 又は 3 記載の磁気メモリ装置。

【請求項 6】 半導体基板と、
前記半導体基板に形成されたトランジスタと、
前記半導体基板の前記トランジスタを覆う層間絶縁膜上に形成されたトンネル磁気抵抗素子と、
前記層間絶縁膜内に埋設されて前記トランジスタのソース／ドレイン拡散層に接続される第 1 の配線と、
前記層間絶縁膜内の前記第 1 の配線より上部で前記トンネル磁気抵抗素子の下に埋設された、書き込み時に前記トンネル磁気抵抗素子に電流磁界を与えるための第 2 の配線と、
前記トンネル磁気抵抗素子の上面に接続されて前記第 2 の配線と交差して配設された、書き込み時に前記トンネル磁気抵抗素子に電流磁界を与えると共に読み出し時にセル電流を流すための第 3 の配線とを有し、
前記半導体基板上の前記トンネル磁気抵抗素子より下方に形成される前記第 1 及び第 2 の配線を含む全ての配線、前記トランジスタのゲート配線、配線コンタクト及びソース／ドレイン拡散層を含む素子領域の全ては、そのエッジが前記トンネル磁気抵抗素子の直下の領域の外側に位置するようにパターン形成されていることを特徴とする磁気メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、トンネル磁気抵抗素子を用いて電磁気的に書き込み及び読み出しを可能とした不揮発性の磁気メモリ装置に関する。

【0002】

【従来の技術】

電磁気的にデータの書き込み及び読み出しを行う不揮発性記憶装置の一つにM

RAM(Magneto-Resistive Random Access Memory)がある。MRAMでは、ランダムアクセスを実現するために、互いに直行する複数ずつの電流磁界配線がマトリクスを構成し、その各交点位置に磁気抵抗効果素子が配置される。これらの電流磁界配線を1本ずつ選択することにより、任意のビットに読み出しあるいは書き込みを行うことが出来る。

【0003】

MRAMにおいては、従来GMR(Giant Magneto-Resistive)を用いたメモリセルが主流であった。しかし、GMRでは、セルに“1”データと“0”データを書き込んだ時の抵抗比であるMR比(Magneto-Resistive Ratio)が数%であり、高性能メモリを実現するには十分ではない。これに対して、1996年に室温でのトンネル磁気抵抗(TMR:Tunneling Magneto Resistive)動作が確認され、室温で40%を超えるMR比が確認されて以来、MRAMセル研究の主流は一気にこのTMR素子にシフトした。

【0004】

TMR素子は、二つの磁性層(強磁性層)により絶縁層(トンネルバリア)を挟んだ磁気トンネル接合(MTJ:Magnetic Tunnel Junction)構造を有する。TMR素子に記憶される二値情報は、二つの磁性層のスピノの向きが平行か反平行かによって定義される。ここで、“平行”とは、二つの磁性層のスピノの向きが同じである状態をいい、“反平行”とは二つの磁性層のスピノの向きが逆向きである状態をいう。

【0005】

TMR素子を挟んで交差する電流磁界配線の一方は、書き込みワード線であって、TMR素子には非接触で電流磁界を与える。他方は、データ選択線(ビット線)であってTMR素子の電極に接続される。データ書き込みは、これらの書き込みワード線とデータ選択線に電流を流し、両配線に流れる電流により作られる磁界によって、TMR素子のスピノの向きを平行又は反平行にすることで達成される。データ読み出しは、データ選択線に流れるセル電流値を検出して、データに応じてTMR素子の抵抗が異なることを検出する。

【0006】

現在のMRAMの研究開発における大きな関心事は、上述したTMR素子を用いたMRAMをLSIメモリとして製品化できるような技術を確立することにある。実用化に向けて、TMR素子を用いたMRAMが克服せねばならない技術的なハードルの一つとして、如何に1nm程度の薄いトンネルバリア層を信頼性を保証しながら作製し、なおかつTMR素子として安定した動作を保証するかということが挙げられる。より具体的にいえば、シリコンプロセスとして発展してきたLSI技術と、磁気ヘッドを軸に発展してきたTMR膜形成技術を融合させるには、シリコンプロセスで下地に形成される凹凸を、その上部に形成されるTMR膜が許容できるレベルにまで改善せねばならないという問題がある。

【0007】

図9は、従来のTMR-MRAMの集積化構造を示している(R.Scheuerlein et al., ISSCC200,Digest pp128 参照)。図9のTMR素子VRは、それぞれシリコン基板1に形成されたトランジスタと接続されるが、図ではトランジスタが見えない断面位置を示している。配線3は、トランジスタのゲート電極を連続的にパターニングしたもので、図9の断面では素子分離絶縁膜2上にある。この配線3は、読み出しワード線(R-WL)となる。

【0008】

TMR素子VRは、トランジスタを覆い、複数の配線層が埋め込み形成された層間絶縁膜4の上に形成される。TMR素子VRの上面に接続された配線7は、読み出し及び書き込み用のビット線(W/R-BL)となる。TMR素子VRの直下に埋設された配線6aは、書き込みワード線(W-WL)であり、配線7とは直交して配設される。

【0009】

TMR素子VRの下部電極8は、トランジスタのソース/ドレイン拡散層と接続するためにTMR素子VRの領域の外に引き出されている。この下部電極8は、コンタクトプラグ9を介し、中継用配線6b, 5を介してトランジスタのソース/ドレイン拡散層に接続される。

【0010】

図9では、セル面積を出来るだけ小さくするために、TMR素子VRの幅(M

T Jの幅)と、この接合に下部より書き込み電流磁界を与える配線6aの幅をほぼ等しくしている。ところが、LSIプロセスではリソグラフィー工程にて、どうしても機械的に異なる層のアラインメントを行うために、合わせずれが生じる。図9では、TMR素子VRと配線6aのパターンにそれらの幅の半分近くのずれが生じている例を示している。その影響を分かり易く示すために、図9の破線で囲んだ部分を拡大した断面図が図10である。

【0011】

TMR素子VRの下部書き込み用配線6aを形成した後、その上部は層間絶縁膜4で覆われるが、配線6aのエッジには通常、数nm～数10nmの段差部が残る。これは、層間絶縁膜上に配線をパターン形成する方法でも、或いは層間絶縁膜に溝を形成して配線メタルを埋め込む方法でも、避けられない。そしてその段差は、その上に層間絶縁膜を堆積しても完全に吸収はされずに、TMR素子VRの下地段差として受け継がれる。TMR素子VRは、磁性層11、13で挟まれたトンネルバリア12を有し、前述のようにトンネルバリア12は、1nm程度の非常に薄い膜であるため、下地段差が存在すると、トンネルバリア膜の信頼性や動作特性に深刻な影響を与えることが懸念される。

【0012】

図10では、TMR素子VRの直下の書き込み用配線6aによる段差を問題としているが、図9に示すように配線6aの下方には更に、トランジスタの端子配線5やゲート配線3がある。これらの配線パターンのエッジ部の段差も、多層配線工程を経ても完全には消失せず、TMR素子の動作および信頼性に影響を与える。

【0013】

【発明が解決しようとする課題】

以上のように、TMR素子を用いたMRAMを実現する上で、TMR素子とその下に形成される配線との合わせずれが、TMR素子の信頼性や動作特性に悪影響を与えるという問題がある。

【0014】

この発明は、TMR素子の高信頼性と優れた動作特性を実現できる磁気メモリ

装置を提供することを目的としている。

【0015】

【課題を解決するための手段】

この発明に係る磁気メモリ装置は、半導体基板と、前記半導体基板に形成されたトランジスタと、前記半導体基板の前記トランジスタを覆う層間絶縁膜上に形成されたトンネル磁気抵抗素子と、前記層間絶縁膜内に埋設されて前記トランジスタのソース／ドレイン拡散層に接続される第1の配線と、前記層間絶縁膜内の前記第1の配線より上部で前記トンネル磁気抵抗素子の下に埋設された、書き込み時に前記トンネル磁気抵抗素子に電流磁界を与えるための第2の配線と、前記トンネル磁気抵抗素子の上面に接続されて前記第2の配線と交差して配設された、書き込み時に前記トンネル磁気抵抗素子に電流磁界を与えると共に読み出し時にセル電流を流すための第3の配線とを有し、前記第2の配線は、その両エッジが前記トンネル磁気抵抗素子のパターンの外側に位置するようにパターン形成されていることを特徴とする。

【0016】

この発明によると、トンネル磁気抵抗素子の直下を通る第2の配線を、そのエッジがトンネル磁気抵抗素子にかかるないようにパターン形成することによって、トンネル磁気抵抗素子の下地の平坦性が確保され、信頼性の高いトンネル磁気抵抗素子を得ることができる。

【0017】

この発明において好ましくは、第1の配線を、その両エッジがトンネル磁気抵抗素子のパターンの外側に位置するようにパターン形成する。具体的には例えば、第1及び第2の配線を、トンネル磁気抵抗素子の直下の領域をトンネル磁気抵抗素子より広い幅をもって通過するようにパターン形成する。これにより、トンネル磁気抵抗素子の下地の平坦性は一層改善される。

更に好ましくは、トランジスタのゲート配線が、トンネル磁気抵抗素子の直下の領域をトンネル磁気抵抗素子より広い幅をもって通過するように、或いはトンネル磁気抵抗素子の直下の領域の外側を通過するようにパターン形成する。これにより、トンネル磁気抵抗素子の下地の平坦性は一層改善される。

【0018】

この発明に係る磁気メモリ装置はまた、半導体基板と、前記半導体基板に形成されたトランジスタと、前記半導体基板の前記トランジスタを覆う層間絶縁膜上に形成されたトンネル磁気抵抗素子と、前記層間絶縁膜内に埋設されて前記トランジスタのソース／ドレイン拡散層に接続される第1の配線と、前記層間絶縁膜内の前記第1の配線より上部で前記トンネル磁気抵抗素子の下に埋設された、書き込み時に前記トンネル磁気抵抗素子に電流磁界を与えるための第2の配線と、前記トンネル磁気抵抗素子の上面に接続されて前記第2の配線と交差して配設された、書き込み時に前記トンネル磁気抵抗素子に電流磁界を与えると共に読み出し時にセル電流を流すための第3の配線とを有し、前記半導体基板上の前記トンネル磁気抵抗素子より下方に形成される前記第1及び第2の配線を含む全ての配線、前記トランジスタのゲート配線、配線コンタクト及びソース／ドレイン拡散層を含む素子領域の全ては、そのエッジが前記トンネル磁気抵抗素子の直下の領域の外側に位置するようにパターン形成されていることを特徴とする。

【0019】

トンネル磁気抵抗素子より下方に形成される全てのパターンについて、そのエッジがトンネル磁気抵抗素子の直下の領域の外側に位置するようになると、トンネル磁気抵抗素子の下地の平坦性が良好になり、信頼性の高いトンネル磁気抵抗素子を得ることができる。

【0020】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】

図1は、実施の形態1によるMRAMの1セル部のレイアウトであり、図2A及び図2Bはそれぞれ、図1のI-I'及びII-II'断面図である。メモリセルは、シリコン基板20に形成されたNMOSトランジスタQと、この上に積層されてトランジスタQに直列接続されるTMR素子VRにより構成される。

【0021】

シリコン基板20は、素子分離絶縁膜21により素子領域が区画されて、各素

子領域にトランジスタQが形成される。トランジスタQのゲート電極22は、一方向に連続する読み出しワード線(R-WL)として配設される。トランジスタQは層間絶縁膜30で覆われ、この上に第1層メタルによる配線31(31a, 31b)がパターン形成される。配線31は、層間絶縁膜30に埋め込まれたコンタクトプラグ31a, 31bを介してソース/ドレイン拡散層23にそれぞれ接続される。一方の配線31aは、ソース配線である。他方の配線31bは、ドレインをTMR素子VRに接続するための中継用配線であって、図1に示すように、トランジスタQの領域から素子分離領域のTMR素子VRが形成される領域まで延在するようにパターニングされる。

【0022】

配線31上は更に層間絶縁膜30で覆われ、この上に第2層メタルによる配線41(41a, 41b)が形成される。配線41aは、TMR素子VRの直下に位置して、書き込み時にTMR素子VRに電流磁界を与えるための書き込みワード線W-WLであって、読み出しワード線22と並行して配設される。配線41bは、先の中継用配線31bを更にTMR素子VRまで中継するための中継用配線であり、コンタクトプラグ42を介して中継用配線31bに接続される。

【0023】

配線41上は更に層間絶縁膜30で覆われ、この上にTMR素子の下部電極51が形成される。この下部電極51は、TMR素子領域の外にまで引き出されて、コンタクトプラグ43を介して中継用配線41bに接続される。この下部電極51上に、書き込みワード線41の直上に位置するように、TMR素子VRが形成される。TMR素子VRは、下部強磁性層、トンネルバリア、上部強磁性層の3層構造からなる。強磁性層の一方は、スピニの方向が固定された固着層であり、他方が記憶層となる。

【0024】

TMR素子VRは、下部電極51を覆う層間絶縁膜30に埋め込まれる形で形成され、この上にTMR素子VRの上面に接続される第3層メタルによる配線61が形成される。この配線61は、書き込みワード線41と直交する方向に連続的に形成されて、データ選択線即ちビット線BLとなる。

【0025】

図1及び図2Bに示すようにこの実施の形態では、TMR素子VRの直下に形成される書き込みワード線41aの幅w1は、合わせ余裕を見込んでTMR素子VRの幅w2より大きく設定されている。これにより、多少の合わせずれがあったとしても、書き込みワード線41aの両エッジはTMR素子VRのパターンの外側に位置する。即ち、TMR素子VRは、書き込みワード線41aのエッジに重なることはなくなり、薄いトンネル障壁層を持つTMR素子VRの信頼性が向上し、優れた動作特性が得られる。

【0026】

[実施の形態2]

先の実施の形態1では、図2Bに示すように、第1層メタル配線31（中継用配線31b及びソース配線31a）のエッジが第2層メタルの書き込みワード線41aと重なっている。TMR素子VRが直下の書き込みワード線41aのエッジにからないとしても、更にその下の配線31のエッジ段差の影響がTMR素子VRにまで及ぶ可能性がある。

【0027】

図3は、その様な影響をも排除した実施の形態2のセルのレイアウトであり、図4A及び図4Bはそれぞれ、図3のI-I'及びII-II'断面図である。先の実施の形態1と対応する部分には、先の実施の形態1と同一符号を付して詳細な説明は省く。

【0028】

この実施の形態では、第1層メタル配線のうち中継用配線31bは、TMR素子VRの直下の領域から離れた位置に形成する。また、ソース配線31aは、TMR素子VRの直下の領域で、その上に形成される書き込みワード線41aのエッジと丁度重なるように幅を大きくしている。TMR素子VRの幅w2と書き込みワード線41aおよびソース配線31aの幅w1の関係は、先の実施の形態と同様に、 $w_1 > w_2$ とする。

【0029】

この様な配線レイアウトを採用すると、TMR素子VRの直下の書き込みワード

ド線41aのみならず、更にその下のソース配線31aの段差のTMR素子VRへの影響も除去されて、TMR素子VRの下地の平坦性はより優れたものとなり、TMR素子のより一層の信頼性向上と動作特性向上が図られる。

【0030】

【実施の形態3】

実施の形態2では、TMR素子VRの直下の2層メタル配線31a, 41aより更に下にあるゲート配線である読み出しワード線22が、メタル配線31a, 41aより狭い幅をもって形成されているため、その段差がTMR素子VRにまで影響する可能性がある。

【0031】

図5は、その影響をも排除した実施の形態3のセルのレイアウトであり、図6A及び図6Bはそれぞれ、図5のI-I'及びII-II'断面図である。先の実施の形態1, 2と対応する部分には、先の実施の形態1, 2と同一符号を付して詳細な説明は省く。

【0032】

この実施の形態3においては、トランジスタQのゲート電極を延長して形成される読み出し用ワード線22を、素子分離領域上の少なくともTMR素子VRの直下の領域で幅広にして、その上に形成される書き込みワード線41aと実質同じ幅w1をもってTMR素子VRの直下を通過させている。

これにより、TMR素子VRの下地の平坦性は更に優れたものとなり、TMR素子のより一層の信頼性向上と動作特性向上が図られる。

【0033】

この実施の形態によると、読み出しワード線の幅を素子分離領域上で広くしているため、読み出し用ワード線の低抵抗化が図られ、読み出し速度の向上やS/N向上という効果も期待できる。

【0034】

【実施の形態4】

実施の形態3のように読み出しワード線をTMR素子領域で幅広にするのは一つの方法であるが、もう一つの有効な方法は、読み出しワード線をTMR素子の

直下の領域を避けて通るようにパターン形成することである。

図7はその様な実施の形態4のセルのレイアウトであり、図8A及び図8Bはそれぞれ、図7のI—I'及びII-II'断面図である。先の各実施の形態と対応する部分には、各実施の形態と同一符号を付して詳細な説明は省く。

【0035】

図示のようにこの実施の形態では、ゲート配線である読み出しワード線22は、一定の幅を保って、TMR素子VRの直下の領域から外れた位置を通過するよう、より具体的には、第1層、第2層のメタル配線であるソース配線31aや書き込みワード線41aとも重ならないようにパターン形成している。そして、TMR素子VRに対しては、その下のソース配線31aおよび書き込みワード線41aがTMR素子VRより幅広の状態で、即ち両エッジがTMR素子VRの外側に位置する状態で通過するようにしている。

これにより、TMR素子VRの下地の平坦性は更に優れたものとなり、TMR素子のより一層の信頼性向上と動作特性向上が図られる。

【0036】

実施の形態2、3においては、シリコン基板上のトンネル磁気抵抗素子VRの下方に形成される全てのパターン、即ち、第1層、第2層メタル配線、ゲート配線の他、配線コンタクト、更にソース／ドレイン拡散層を含む素子領域のパターンのエッジがトンネル磁気抵抗素子VRの直下の領域の外側に位置するようにしている。この様なパターンの配慮をすることにより、トンネル磁気抵抗素子の下地の平坦性が優れたものとなり、TMR素子の信頼性向上と動作特性向上が図られる。

【0037】

【発明の効果】

以上述べたようにこの発明によれば、TMR素子の下地の平坦性を確保して、TMR-MRAMの信頼性向上を図ることができる。

【図面の簡単な説明】

【図1】

この発明の実施の形態1によるMRAMセルのレイアウトを示す図である。

【図2A】

図1のI-I' 断面図である。

【図2B】

図1のII-II' 断面図である。

【図3】

この発明の実施の形態2によるMRAMセルのレイアウトを示す図である。

【図4A】

図3のI-I' 断面図である。

【図4B】

図3のII-II' 断面図である。

【図5】

この発明の実施の形態3によるMRAMセルのレイアウトを示す図である。

【図6A】

図5のI-I' 断面図である。

【図6B】

図5のII-II' 断面図である。

【図7】

この発明の実施の形態3によるMRAMセルのレイアウトを示す図である。

【図8A】

図7のI-I' 断面図である。

【図8B】

図7のII-II' 断面図である。

【図9】

従来のMRAMセルの断面図である。

【図10】

図9の要部を拡大して示す断面図である。

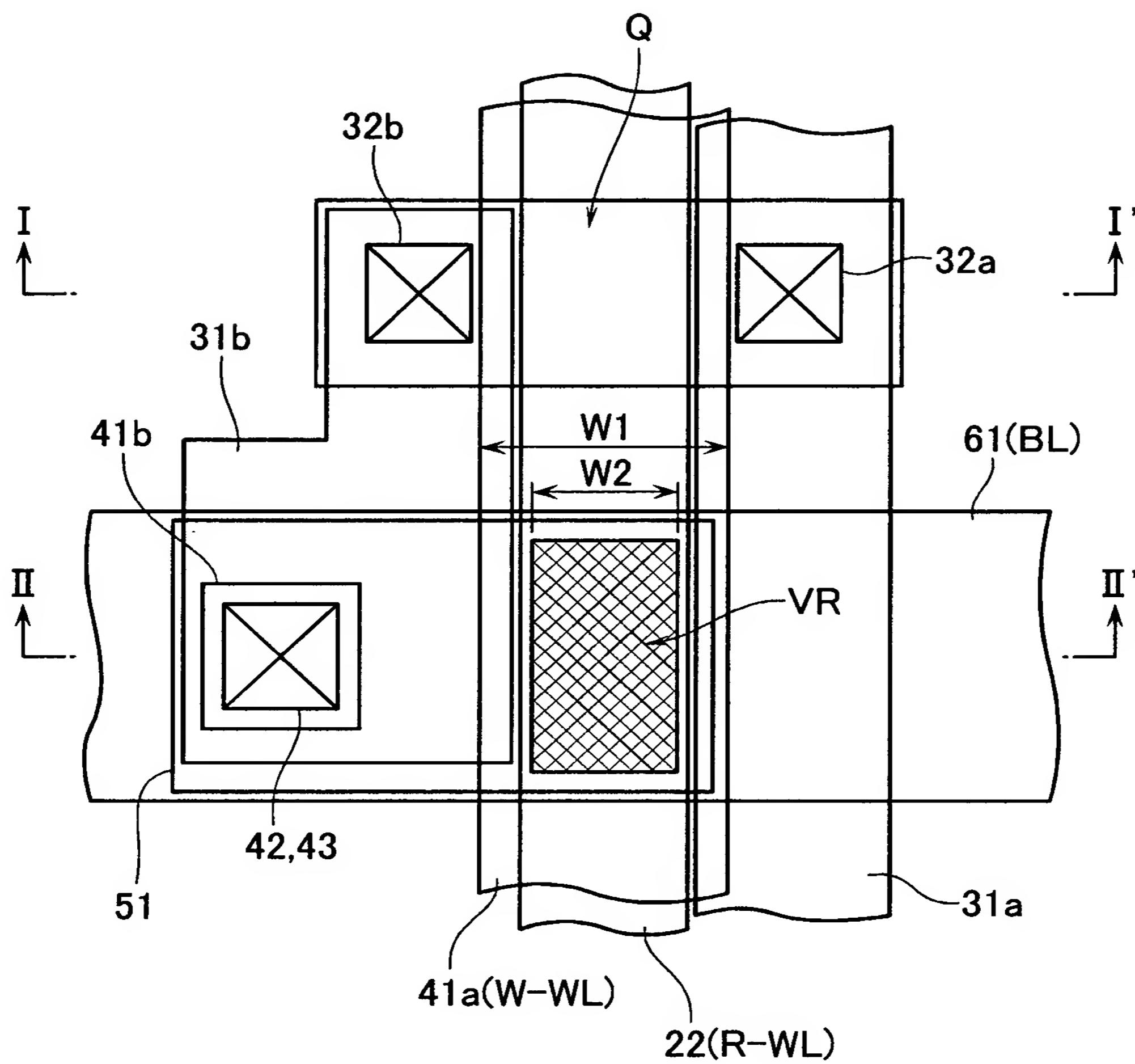
【符号の説明】

20…シリコン基板、21…素子分離絶縁膜、22…読み出しワード線（ゲート電極配線）、30…層間絶縁膜、31…第1層メタル配線、31a…ソース配

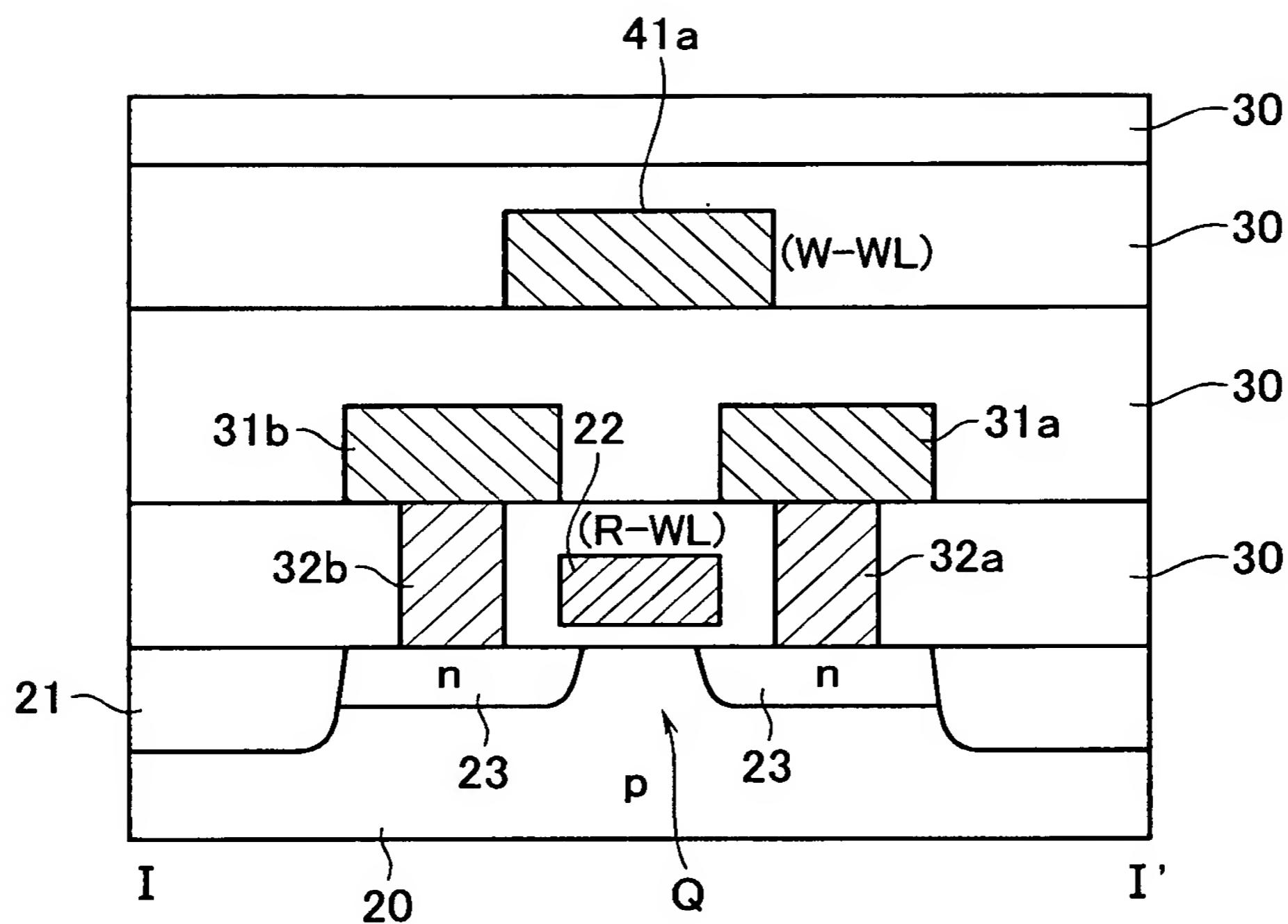
線、31b…中継用配線、41…第2層メタル配線、41a…書き込みワード線
、41b…中継用配線、51…下部電極、61…第3層メタル配線（ビット線）
、Q…トランジスタ、VR…TMR素子。

【書類名】 図面

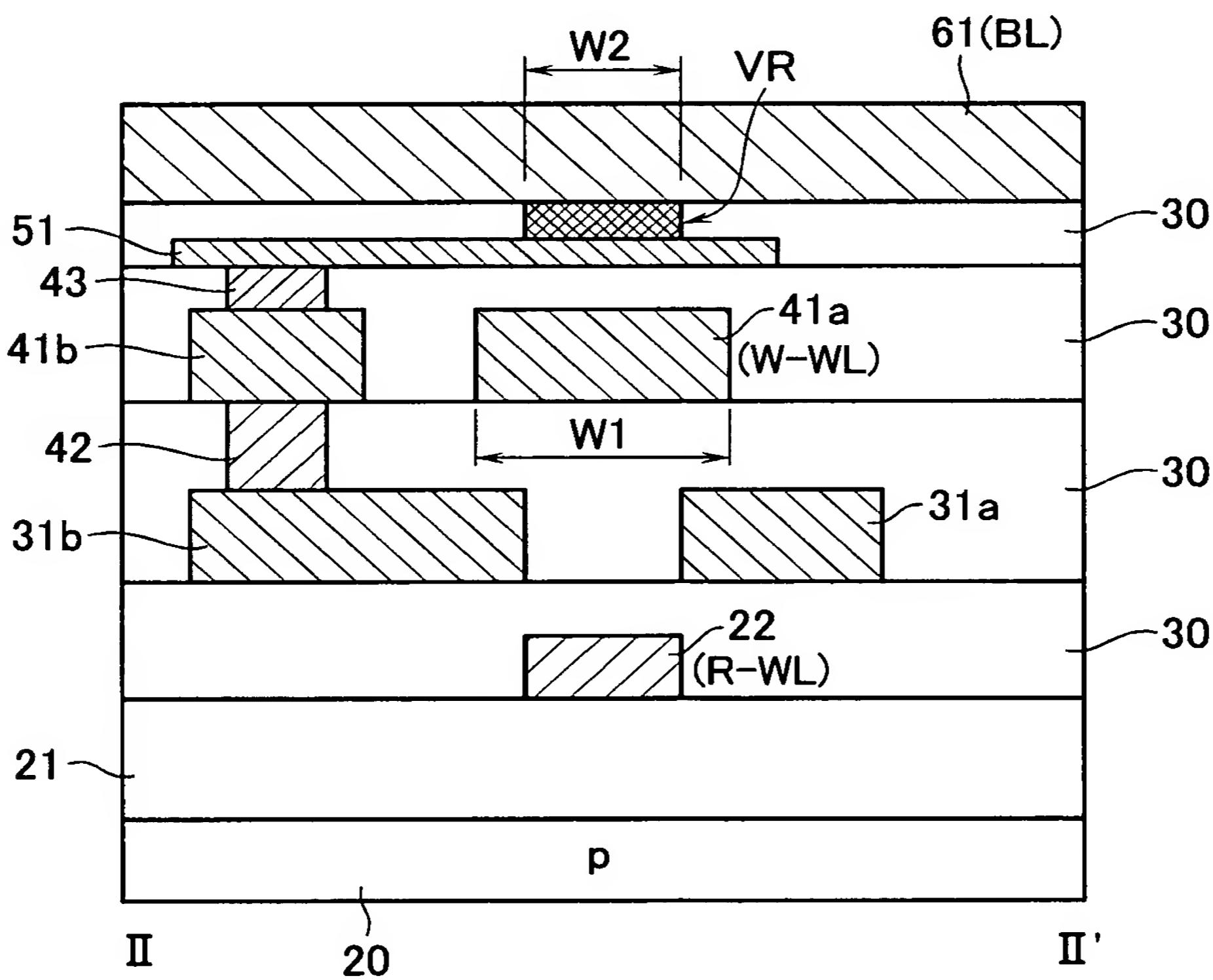
【図1】



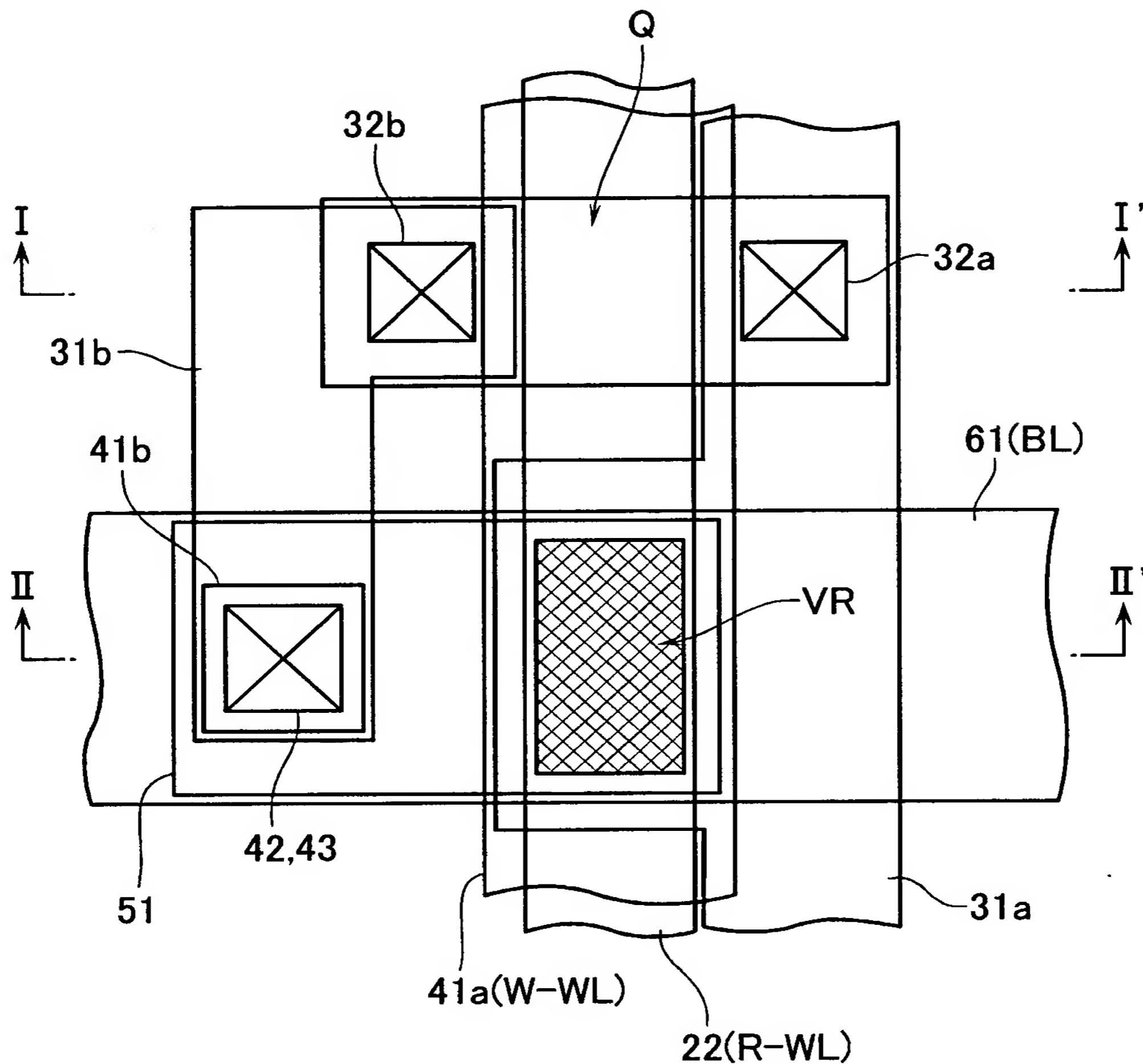
【図2A】



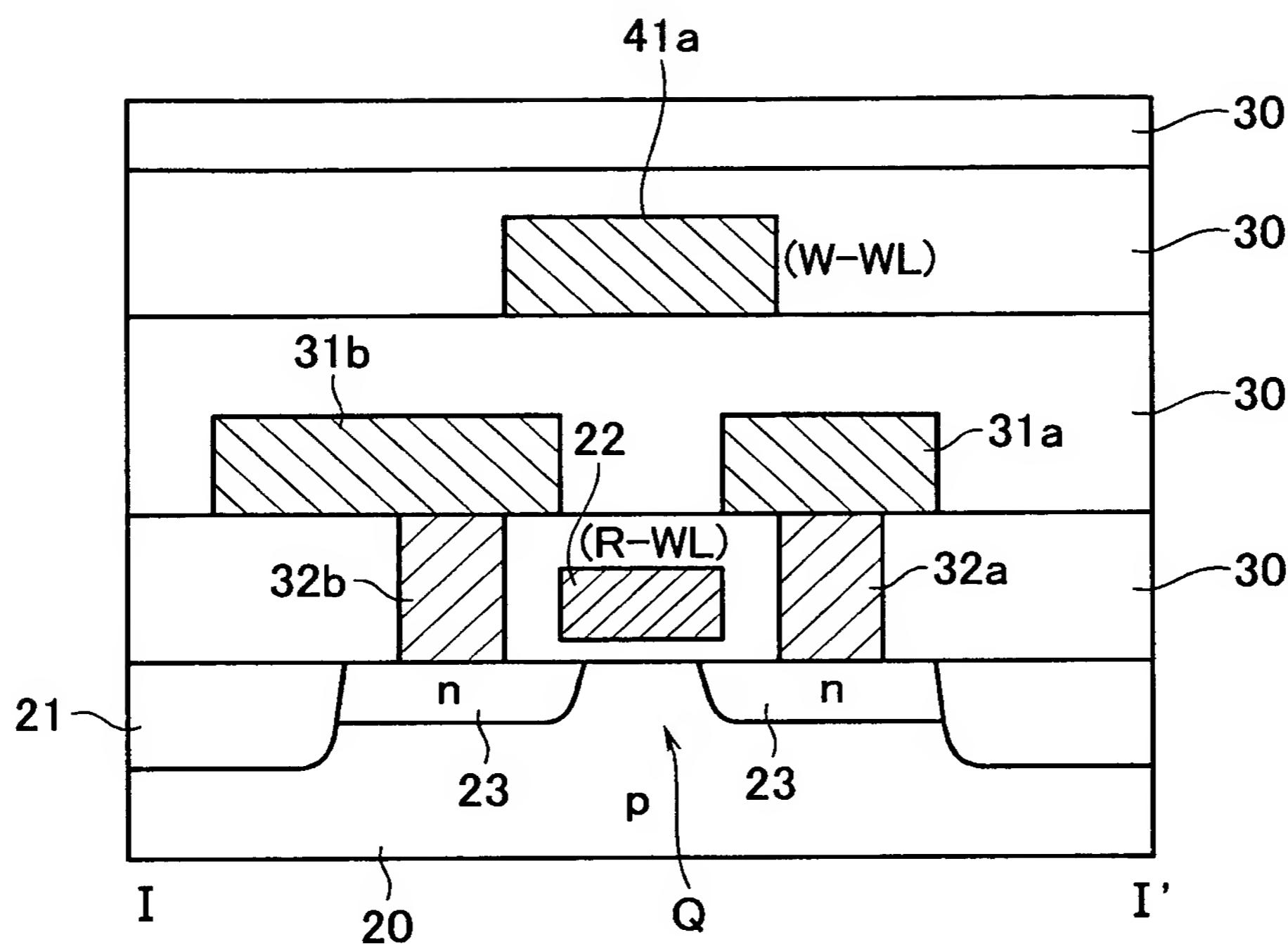
【図2B】



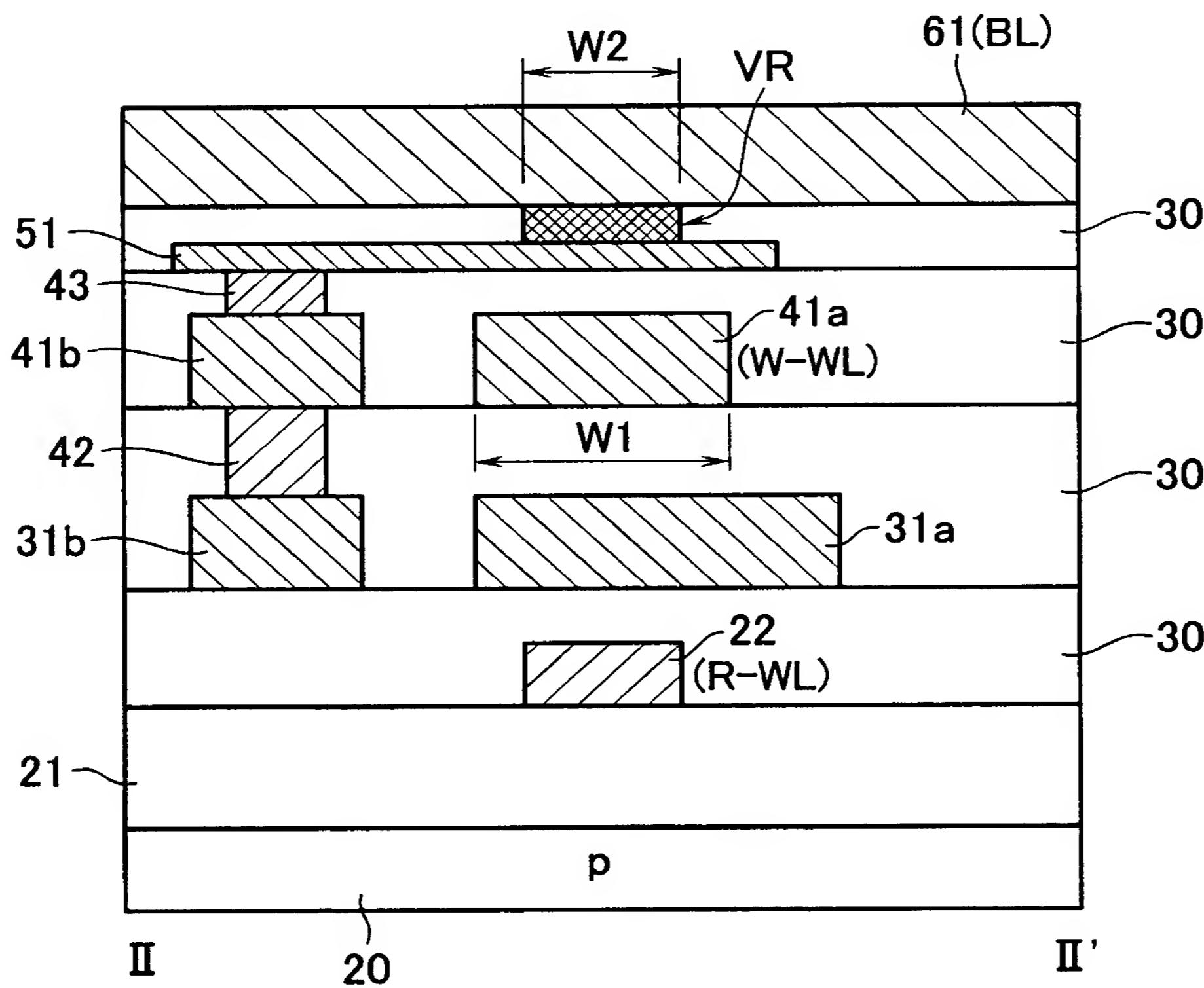
【図3】



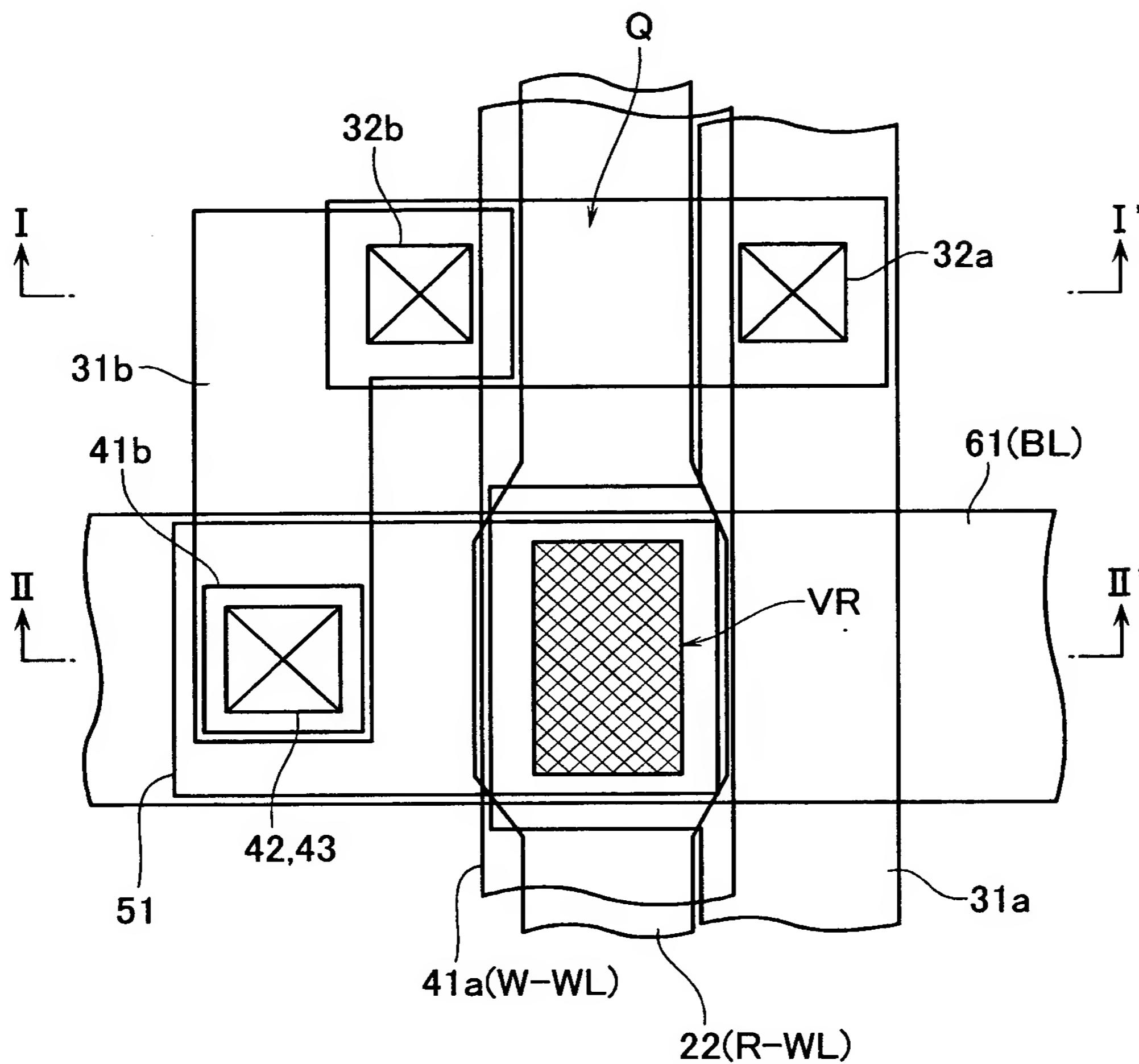
【図4 A】



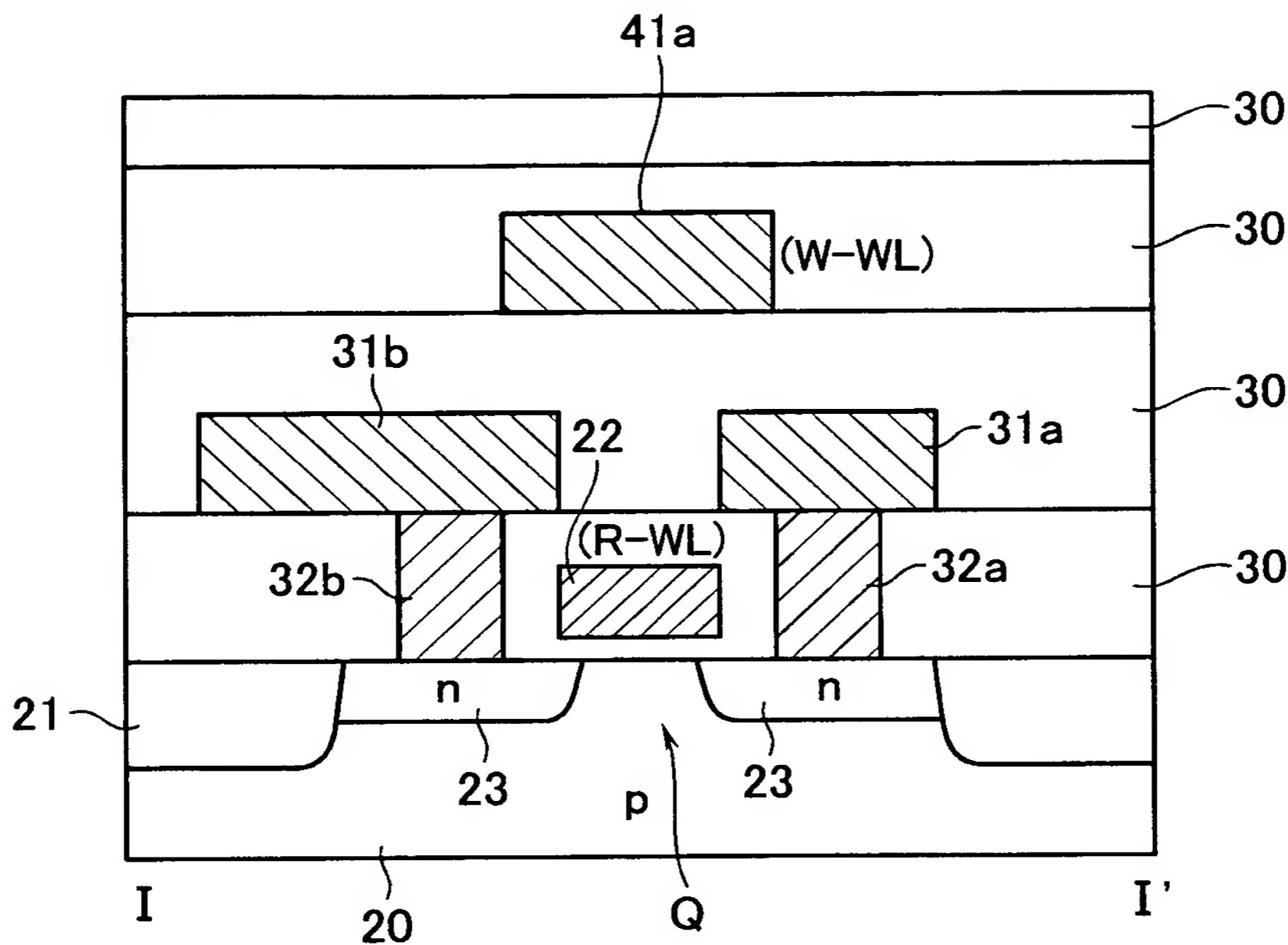
【図4 B】



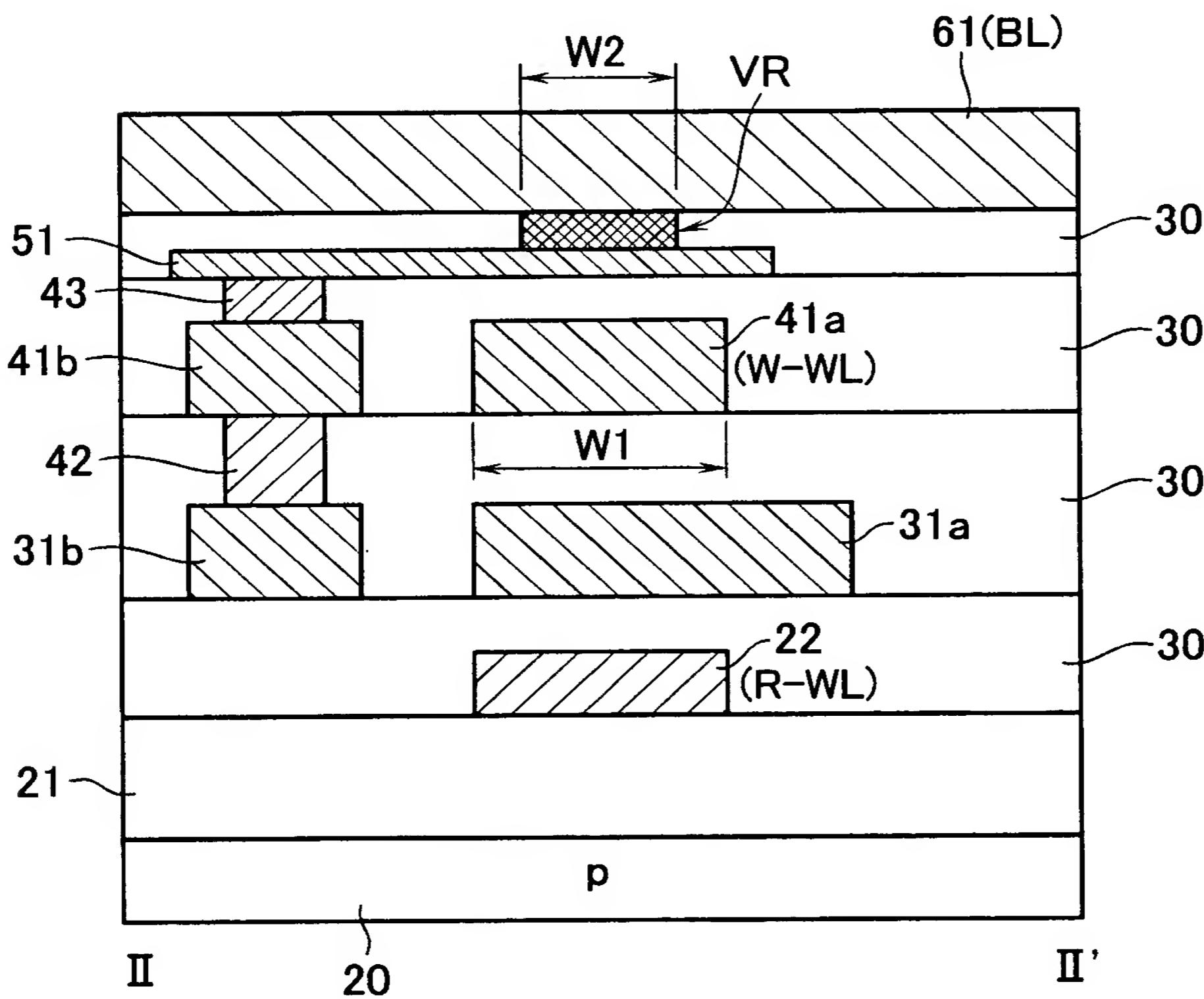
【図5】



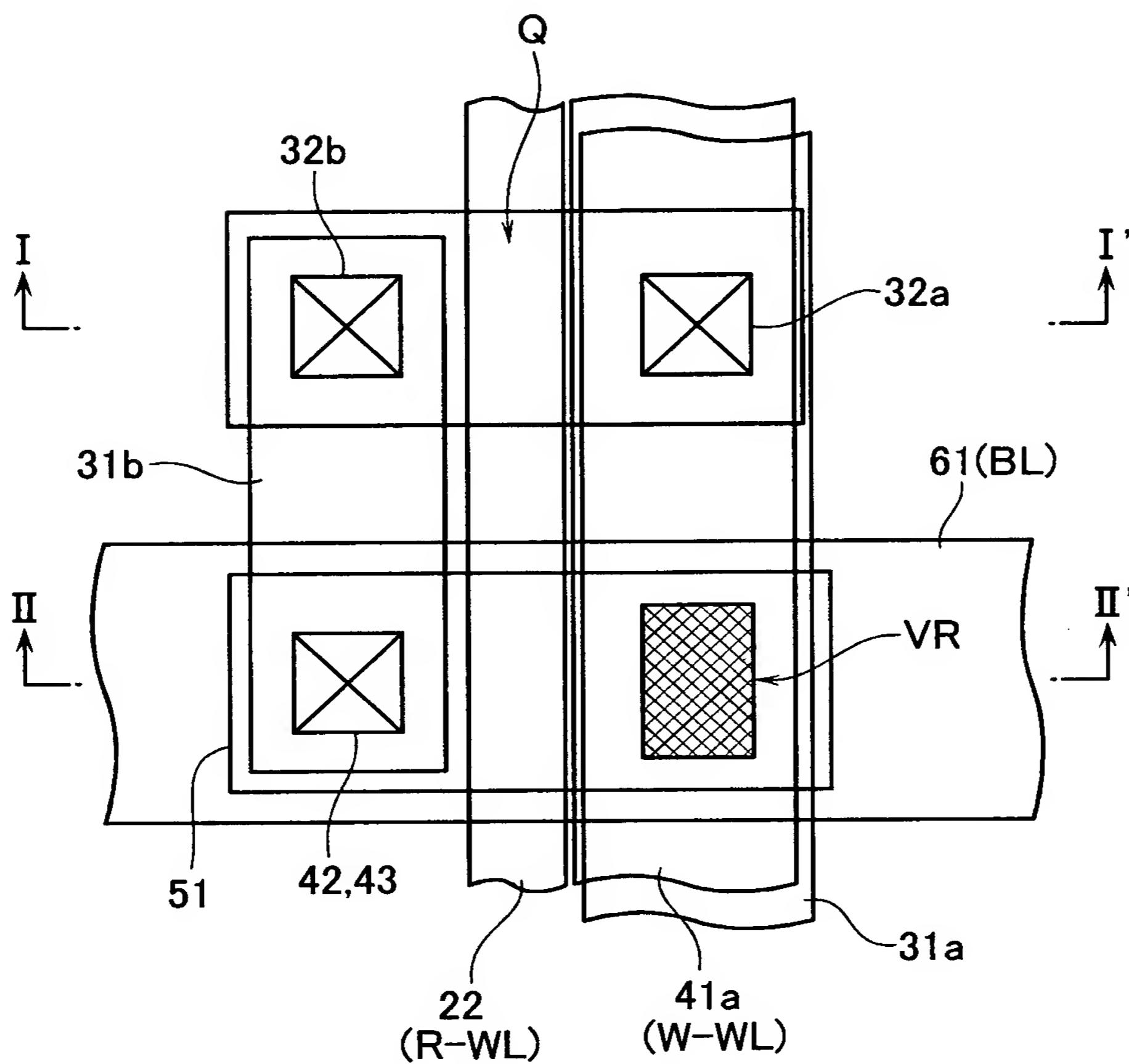
【図6A】



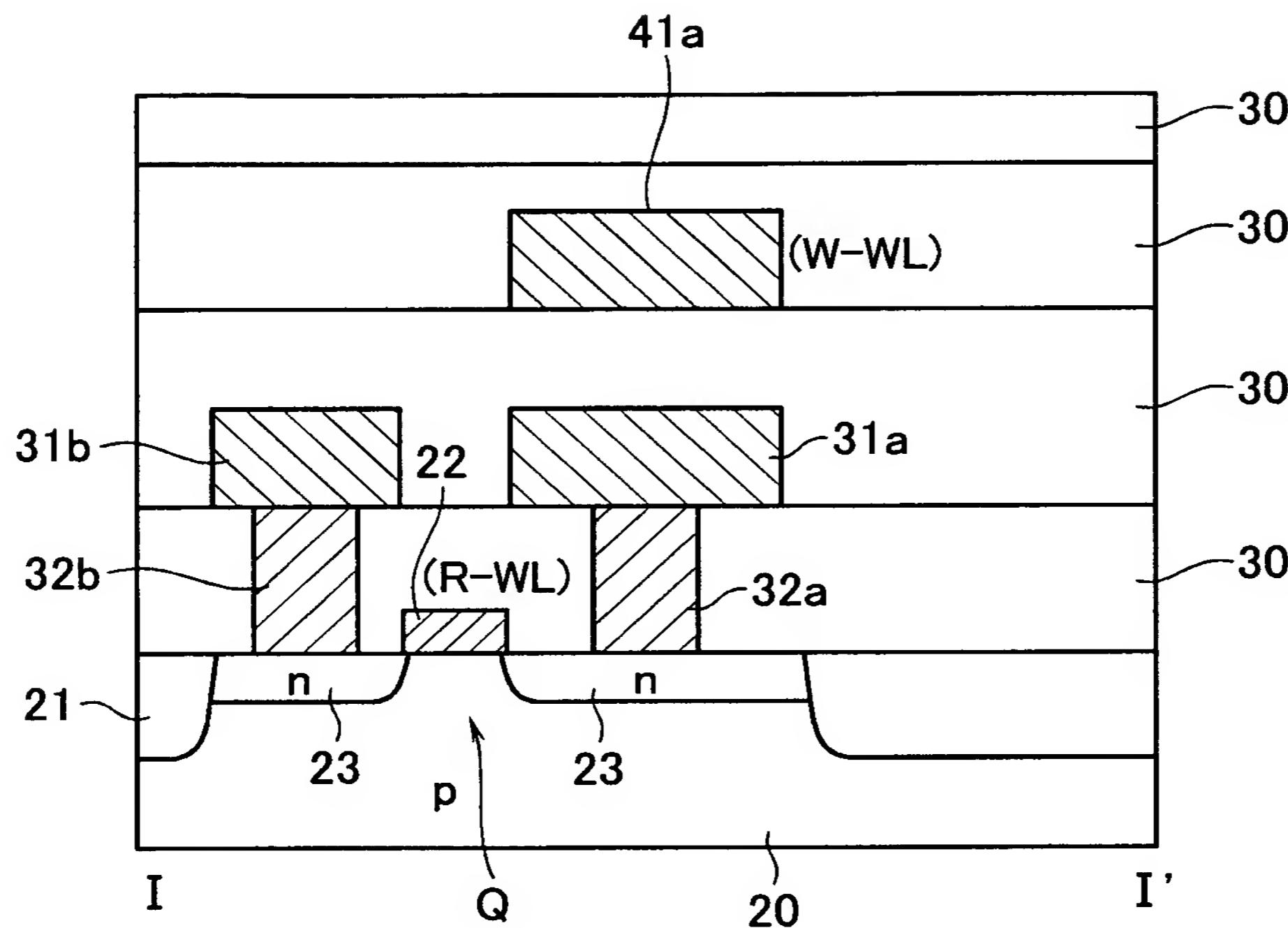
【図6B】



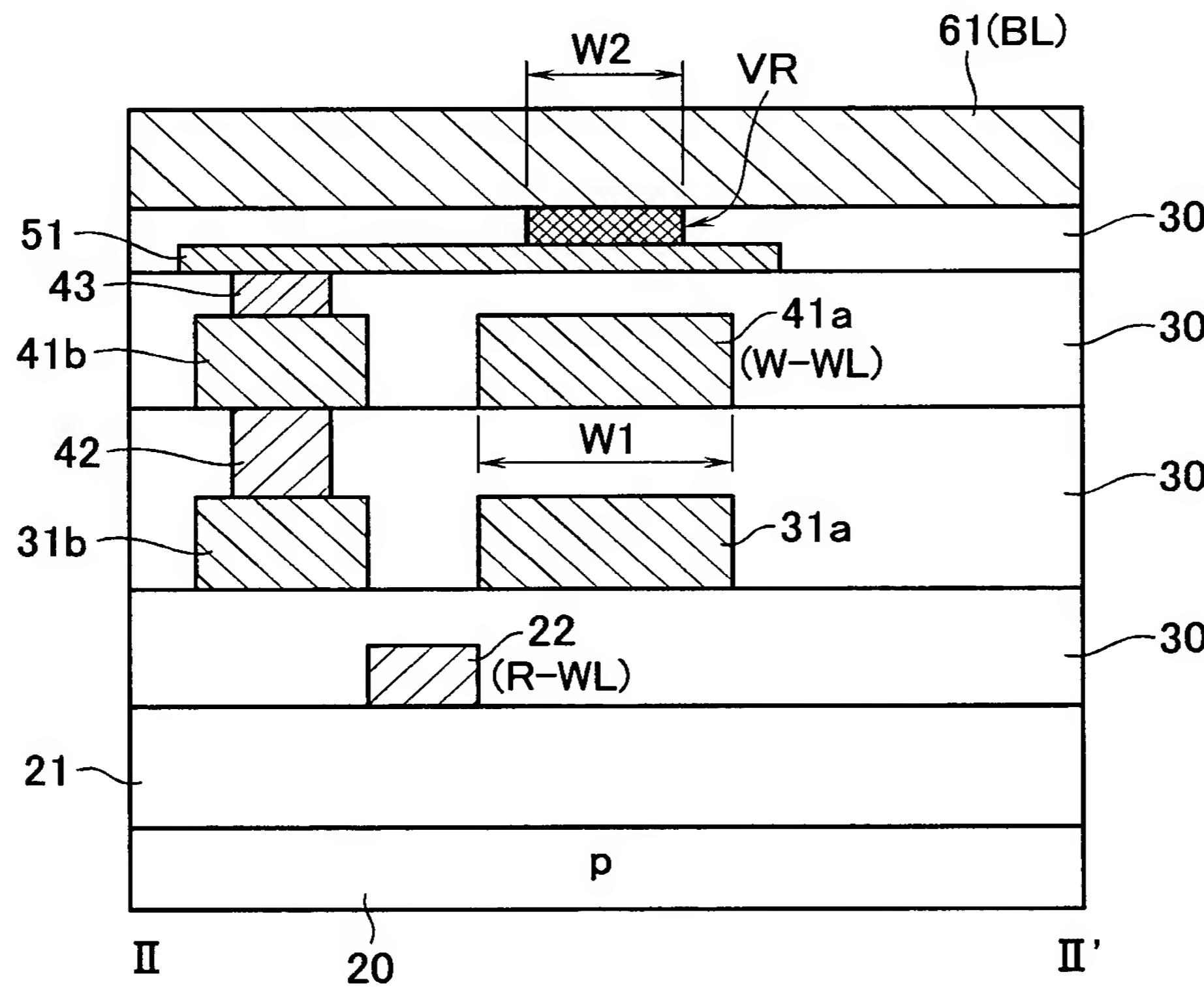
【図7】



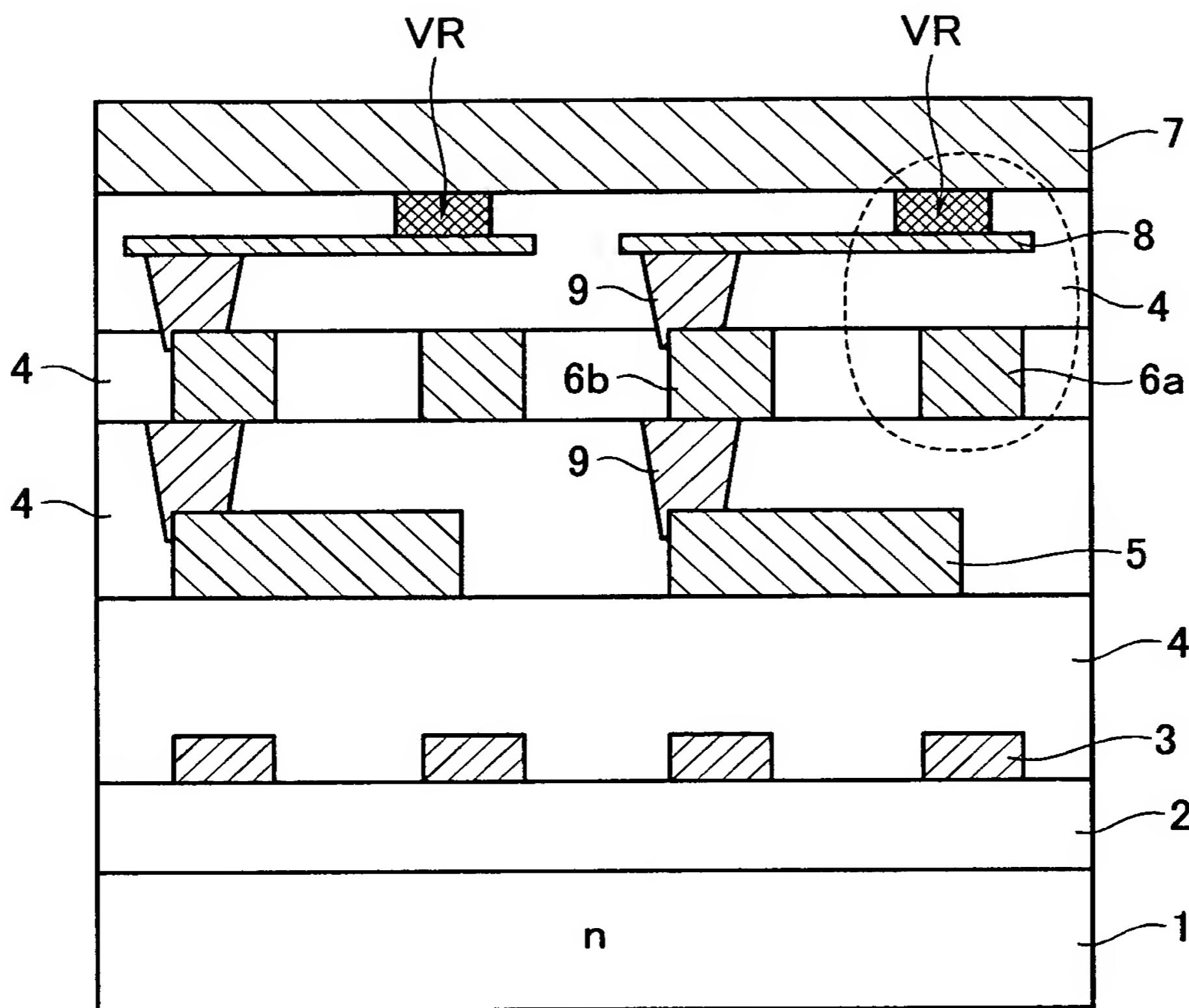
【図8A】



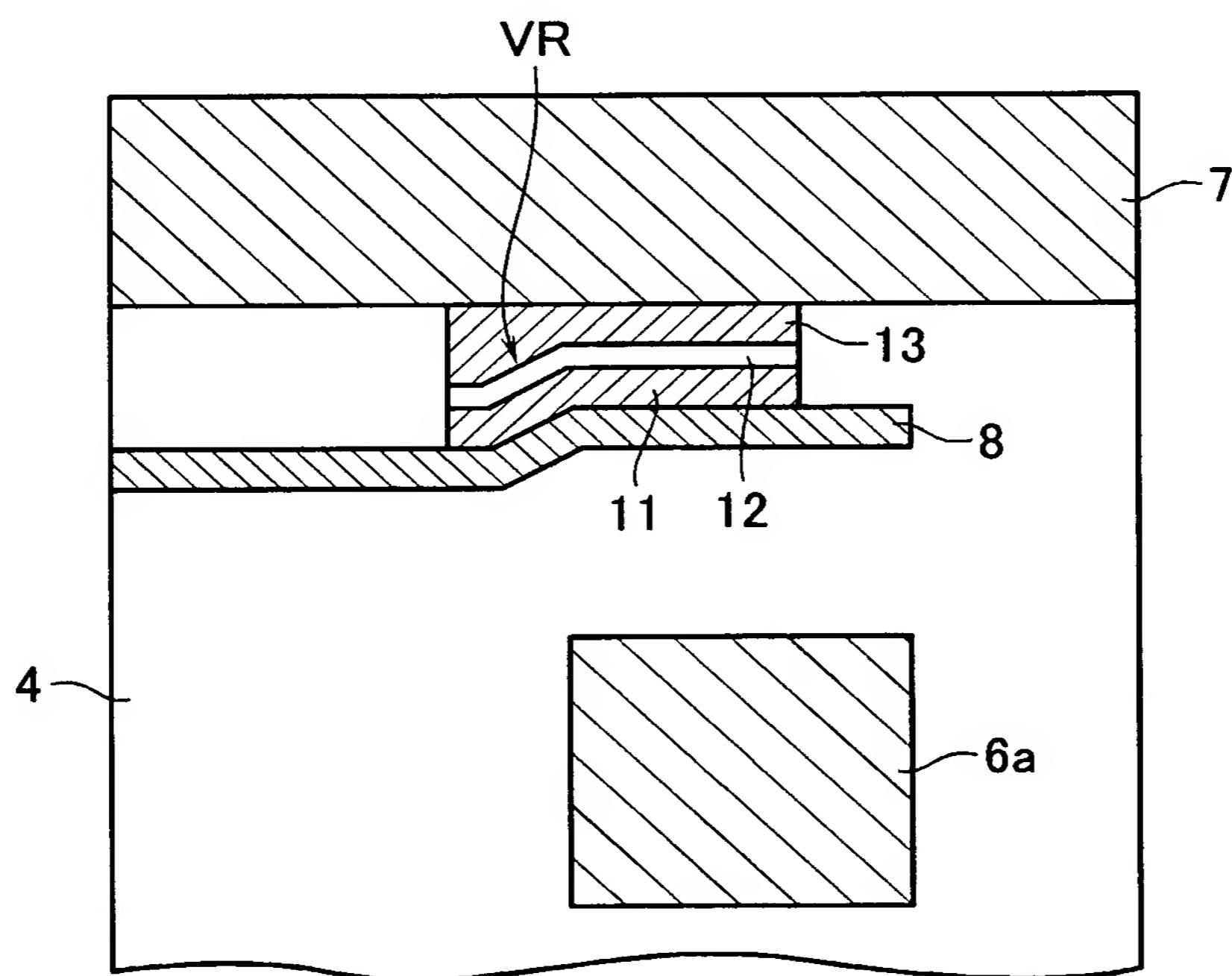
【図8B】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 TMR素子の高信頼性と優れた動作特性を実現できる磁気メモリ装置を提供する。

【解決手段】 半導体基板に形成されたトランジスタQと、トランジスタQを覆う層間絶縁膜上に形成されたトンネル磁気抵抗素子VRと、層間絶縁膜内に埋設された、トランジスタQのソース／ドレイン拡散層に第1の配線31と、層間絶縁膜内の第1の配線31より上部でトンネル磁気抵抗素子VRの下に埋設された、第2層メタルによる書き込みワード線41aと、トンネル磁気抵抗素子VRの上面に接続されて書き込みワード線41aと交差して配設された第3層メタルによるビット線61とを有し、書き込みワード線41aは、その両エッジがトンネル磁気抵抗素子VRのパターンの外側に位置するようにパターン形成されている。

【選択図】 図1

特2002-201166

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝